

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-245212  
 (43)Date of publication of application : 07.09.2001

(51)Int.CI. H04N 5/335  
 H01L 27/146  
 H01L 31/10  
 H04N 1/028

(21)Application number : 2000-050571  
 (22)Date of filing : 28.02.2000

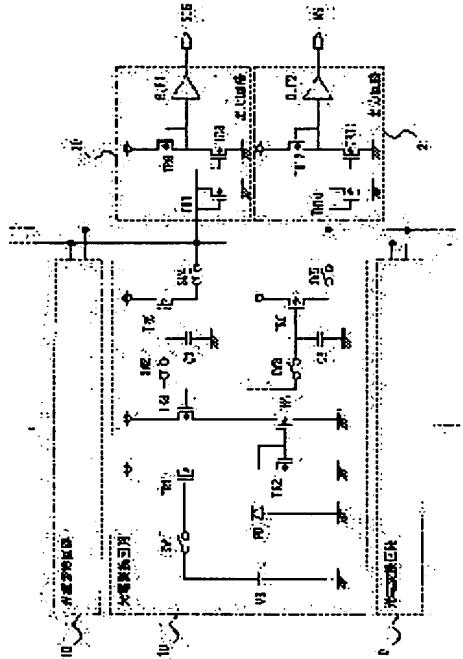
(71)Applicant : MITSUBISHI ELECTRIC CORP  
 (72)Inventor : TERADA TAKAMORI

## (54) PHOTOELECTRIC CONVERTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To correct output dispersion among photoelectric conversion circuits (bits), in a photoelectric converter provided with plural photoelectric conversion circuits including photoelectric conversion elements.

**SOLUTION:** This converter consists of an initialization means for initializing a photosensor, a first detection means for detecting a reference signal outputted from the initialized photosensor, a second detection means for detecting a sensor signal outputted from the photosensor and a correction means for correcting the sensor signal, based on the reference signal.



## LEGAL STATUS

[Date of request for examination] 04.07.2001  
 [Date of sending the examiner's decision of rejection] 19.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS****[Claim(s)]**

[Claim 1] The photoelectrical inverter equipped with an initialization means to initialize a photosensor, the 1st detection means which detects the reference signal outputted from the initialized photosensor, the 2nd detection means which detects the sensor signal outputted from the above-mentioned photosensor after light-receiving, and an amendment means to amend a sensor signal based on a reference signal.

[Claim 2] It is the photoelectrical inverter according to claim 1 which the above-mentioned initialization means initializes a photosensor again after detection of a reference signal, and detects a sensor signal after predetermined time progress after initializing the detection means of the above 2nd again.

[Claim 3] The photoelectrical inverter which consists of an amendment circuit which amends the sensor signal which the 2nd capacitor holds based on the reference signal which the 1st capacitor which incorporates the reference signal outputted after initialization from the initialization circuit which impresses initial voltage to a photodiode, the transfer circuit which transmit the output signal of a photodiode to the next step, and a transfer circuit, the 2nd capacitor which incorporate the sensor signal outputted after light-receiving from a transfer circuit, and the 1st capacitor hold.

[Claim 4] The above-mentioned transfer circuit is a photoelectrical inverter according to claim 3 which consists of the electrical-potential-difference current conversion circuit which changes the output voltage of a photodiode into a current signal, current Miller circuit which transmits a current signal, and a current potential conversion circuit which changes the output current of current Miller circuit into a voltage signal.

[Claim 5] It is the photoelectrical inverter according to claim 3 with which the above-mentioned transfer circuit is constituted by the source follower circuit which consists of the 1st transistor, and the above-mentioned initialization circuit makes initial voltage the drain electrical potential difference of the 1st transistor.

[Claim 6] It has the bias voltage generating circuit which impresses bias voltage to the 2nd transistor connected to the source electrode of the 1st transistor, and the 2nd transistor, a bias voltage generator is constituted possible [ modification of output voltage ], and the above-mentioned transfer circuit is ON and a photoelectrical inverter according to claim 5 which carries out off control about the 2nd transistor.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a photoelectrical inverter, in more detail, is a photoelectrical inverter (for example, semi-conductor image sensors) used for an image reader, and relates to amelioration of the photoelectrical inverter which amends the variation in an optoelectric transducer.

[0002]

[Description of the Prior Art] As this kind of a photoelectrical inverter, there are some which were indicated by JP,3-38229,B, for example. Drawing 16 is drawing having shown the configuration of the conventional photoelectrical inverter indicated by this official report, and the photoelectrical inverter which consists of a photosensor array which has nine photosensors is shown.

[0003] Photosensors E1-E9 constitute 1 block from three pieces, and constitute the photosensor array from 3 blocks. The same is said of the capacitors C1-C9 which are respectively equivalent to photosensors E1-E9, and switching transistors T1-T9. One electrode (common electrode) of each photosensors E1-E9 is connected to a power source 101, and the electrode (individual electrode) of another side is respectively grounded through capacitors C1-C9.

[0004] Moreover, the individual electrode which has the same sequence within each block of photosensors E1-E9 is respectively connected to one of the highways 102-104 through switching transistors T1-T9. That is, the first switching transistor T1 of each block, T four, and the second switching transistor T2, T5, and T8 of each block of T7 in a highway 102 are connected to T6, and highway 103 and third [ of each block ] switching transistor T3 and T9 are connected to the highway 104, respectively.

[0005] Highways 102-104 are respectively connected to the input terminal of amplifier 105 through switching transistors ST1-ST3. The input terminal of amplifier 105, i.e., the common terminal of the switch transistors ST1-ST3, is grounded through the switching transistor CT 1 for discharge, and the gate electrode of the switch transistor CT 1 is connected to the terminal 108.

[0006] Moreover, it connects in common for every block, and the gate electrode of switching transistors T1-T9 is connected to the juxtaposition output terminal of a shift register 106, respectively. Since high level is outputted from the juxtaposition output terminal of a shift register 106 one by one to predetermined timing, switching transistors T1-T9 will be in an ON state one by one for every block.

[0007] Moreover, each gate electrode of switching transistors ST1-ST3 is respectively connected to the juxtaposition output terminal of a shift register 107, it will be that the sequential output of the high level is carried out from this juxtaposition output terminal to predetermined timing, and the switch transistors ST1-ST3 will be in an ON state one by one.

[0008] Actuation of the conventional photoelectrical inverter which has such a configuration is explained briefly. If light carries out incidence to photosensors E1-E9, according to the reinforcement, a charge will be accumulated in capacitors C1-C9 from a power source 101. Then, high level is outputted from shift registers 106 and 107 one by one to each timing.

[0009] Here, if high level was outputted from the first juxtaposition output terminal of both the registers 106 and 107, the switch transistor T1 - T3, and ST1 of the first block will be in an ON state. For this reason, the charge accumulated in the capacitor C1 passes along the switch transistor T1, a highway 102, and a switching transistor ST 1, is inputted into amplifier 105, and is outputted as image information.

[0010] If reading appearance of the charge accumulated in the capacitor C1 is carried out, the seal of approval of the high level will be carried out to a terminal 108, and a switching transistor CT 1 will be in an ON state. By this, the residual charge of a capacitor C1 discharges thoroughly through a switching transistor T1, a highway 102, a switching transistor ST 1, and a switching transistor CT 1.

[0011] Then, making high-level the first juxtaposition output of a shift register 106, the sequential shift of the shift register 107 is carried out, and switching transistors ST2 and ST3 are made into an ON state at order. By this, above-mentioned read-out and discharge actuation can be performed about capacitors C2 and C3, and the information accumulated in them can be read. After read-out of block [ first ] information is completed, the sequential shift of the shift register 106 can be carried out, and the second and block [ third ] information can be read similarly.

[0012] In this photoelectrical inverter, reading appearance of the information accumulated in capacitors C1-C9 is carried out serially, and it is outputted as image information from amplifier 105. For this reason, it has the advantage of being able to lessen the number of nodes with an external circuit.

[0013]

[Problem(s) to be Solved by the Invention] However, in the circuit made as a semi-conductor, manufacture variation surely occurs. For example, the photosensors E1-E9 of drawing 16, the transistor T1 - T9 grade change in the property with variations, respectively. For this reason, even if it gave the same optical reinforcement to each photosensors E1-E9, there was a problem that the variation equivalent to such manufacture variations was included also in the image information of each optoelectric transducer (bit) of every [ which is outputted from amplifier 105 at this time ].

[0014] This invention was made in order to cancel the above troubles, and it aims at amending the output variation between photoelectrical conversion circuits (bit) in the photoelectrical inverter equipped with two or more photoelectrical conversion circuits in which each contains an optoelectric transducer.

[0015]

[Means for Solving the Problem] The photoelectrical inverter by this invention is equipped with an initialization means to initialize a photosensor, the 1st detection means which detects the reference signal outputted from the initialized photosensor, the 2nd detection means which detects the sensor signal outputted from the above-mentioned photosensor after light-receiving, and an amendment means to amend a sensor signal based on a reference signal, and is constituted. For this reason, the error of the offset component of the sensor signal resulting from the variation in the common circuit about a sensor signal and a reference signal can be compensated.

[0016] Moreover, after an initialization means initializes a photosensor again after detection of a reference signal and the 2nd detection means initializes the photoelectrical inverter by this invention again, it detects a sensor signal after predetermined time progress.

[0017] Moreover, the photoelectrical inverter by this invention consists of an amendment circuit which amends the sensor signal which the 2nd capacitor holds based on the reference signal which the 1st capacitor which incorporates the reference signal outputted after initialization from the initialization circuit which impresses initial voltage to a photodiode, the transfer circuit which transmit the output signal of a photodiode to the next step, and a transfer circuit, the 2nd capacitor which incorporate the sensor signal outputted after light-receiving from a transfer circuit, and the 1st capacitor hold.

[0018] Moreover, the photoelectrical inverter by this invention consists of a current potential conversion circuit from which a transfer circuit changes into a voltage signal the output current of the electrical-potential-difference current conversion circuit which changes the output voltage of a photodiode into a current signal, the current Miller circuit which transmits a current signal, and current Miller circuit.

[0019] Moreover, the photoelectrical inverter by this invention is constituted by the source follower circuit where a transfer circuit consists of the 1st transistor, and it is constituted so that an initialization circuit may make initial voltage the drain electrical potential difference of the 1st transistor.

[0020] Moreover, it has the bias voltage generating circuit where the photoelectrical inverter by this invention impresses bias voltage to the 2nd transistor by which a transfer circuit is connected to the source electrode of the 1st transistor, and the 2nd transistor, and a bias voltage generator is constituted possible [ modification of output voltage ], and it is constituted so that it may turn on and off control of the 2nd transistor may be carried out.

[0021]

[Embodiment of the Invention] Gestalt 1. drawing 1 of operation is drawing having shown the example of 1 configuration of the important section of the photoelectrical inverter by the gestalt 1 of operation of this invention, and the detailed configuration is shown about the photoelectrical conversion circuit 10 and output circuits 20 and 21 for 1 bit. As for a transistor, and C1 and C2, for a bias voltage generator, and SW1-SW5, a capacitor, and BUF1 and BUF2 are [ a switch, and TR1-TR12 / PD in drawing / a photosensor and VB ] buffer circuits.

[0022] Photosensor PD is a photodiode as an optoelectric transducer, and while the end (anode) is grounded,

the other end (cathode) is connected to the switch SW1 and the gate electrode of a transistor TR1. A switch SW1 is an initialization switch of photosensor PD, if a switch SW1 is turned on, the output voltage (initialization electrical potential difference) Vb of the bias voltage generator VB will be impressed, and photosensor PD will be initialized.

[0023] Transistors TR1-TR4 constitute the transfer circuit for transmitting the terminal voltage of photosensor PD to capacitors C1 and C2. The seal of approval of the supply voltage Vdd is carried out to the source electrode of the Pch transistors TR1 and TR3, and the source electrode of the Nch transistors TR2 and TR4 is grounded. A transistor TR1 is an electrical-potential-difference current conversion means to change gate voltage into a drain current, and changes the terminal voltage of photosensor PD into a current signal. Transistors TR2 and TR4 are current Miller circuits constituted by connecting both common gate to the drain electrode of a transistor TR2, and both drain current becomes almost equal. A transistor TR3 is a current potential conversion means to transform the drain current of a transistor TR4 into a voltage signal. Therefore, after transforming into a current signal the voltage signal which photosensor PD outputs, it is once transformed inversely, and this transfer circuit transmits it to capacitors C1 and C2 as a voltage signal.

[0024] Switches SW2 and SW3 are switches for charge of capacitors C1 and C2, respectively, and if either a switch SW2 or SW3 is turned on, the gate voltage of a transistor TR3 will be transmitted to the corresponding capacitor C1 or C2. That is, based on the output of photosensor PD, a capacitor C1 or C2 is charged. A capacitor C1 is a capacitor for holding the voltage level (sensor signal) equivalent to the terminal voltage of photosensor PD obtained as a photo-electric-translation result, and a capacitor C2 is a capacitor for holding the voltage level (reference signal) equivalent to the terminal voltage of initialized photosensor PD.

[0025] A transistor TR5 is an electrical-potential-difference current conversion means to output the voltage level accumulated in the capacitor C1 as a current signal, and is outputted to the output circuit 20 for sensor signals (SIG) through the switch SW4 for an output. Similarly, a transistor TR6 is outputted to the output circuit 20 for reference signals (RS) through the switch SW5 for an output by making into a current signal the voltage level accumulated in the capacitor C2.

[0026] An output circuit 20 is a circuit which changes and outputs the current signal (sensor signal) which is connected to the output terminal of the sensor signal of each photoelectrical conversion circuit 10, and is outputted one by one from each photoelectrical conversion circuit 10 to a voltage signal one by one.

Transistors TR7 and TR8 constitute current Miller circuit, and its drain current of a transistor TR8 is equal to the sensor signal (current signal) which the photoelectrical conversion circuit 10 outputs. A transistor TR9 transforms this current into a voltage signal, a buffer circuit BUF1 amplifies, and it outputs to a SIG terminal as a sensor signal (voltage signal). That is, TR7-TR9 constitute the transfer circuit for transmitting the are recording electrical potential difference of a capacitor C1 to amplifier BUF1 with a transistor TR5. [0027] It connects with the output terminal of the reference signal of each photoelectrical conversion circuit 10, and an output circuit 21 amplifies the reference signal (current signal) outputted one by one from each photoelectrical conversion circuit 10 one by one, and outputs it to RS terminal as a reference signal. Circuitry is the same as that of an output circuit 20.

[0028] Since output circuits 20 and 21 are common to each bit (photoelectrical conversion circuit 10), like, it is turned on and, as for each switch SW4, off control of the sensor signal of two or more bits is carried out at the not shorting appearance to which the reference signal of two or more bits does not short-circuit, respectively, as for each switch SW5.

[0029] Drawing 2 is drawing having shown the example of 1 configuration of the bias voltage generator VB of drawing 1. The bias voltage generator VB is a source of a constant voltage which outputs the electrical potential difference Vb lower than supply voltage Vdd (usually 3 V or 5 V). The transistors TRx and TRY by which diode connection of [ in / both / drawing ] was made are partial pressure resistance, it connects with a serial between supply voltage Vdd and a gland, and the initialization electrical potential difference Vb is taken out from the node. Here, although the example which constitutes Transistors TRx and TRY with one transistor, respectively is shown, the serial of two or more transistors or a parallel circuit may constitute.

[0030] Since supply voltage Vdd is impressed to the source electrode of the transistor TR1 of drawing 1, the bias voltage of a transistor TR1 is decided by terminal voltage of photosensor PD. For this reason, in order to operate a transistor TR1 also at the time of initialization, it is necessary to make the initialization electrical potential difference Vb into a low battery by bias voltage at least than supply voltage Vdd. For this reason, supply voltage Vdd is pressured partially by the predetermined division ratio, and the initialization electrical potential difference Vb is generated.

[0031] Drawing 3 is drawing having shown the example of 1 configuration of the whole photoelectrical inverter by the gestalt 1 of operation of this invention. For three in drawing, as for an A/D-conversion circuit and 5, a differential circuit and 4 are [ a microcomputer and 6 ] shift registers. In addition, the photoelectrical conversion circuit 10 and output circuits 20 and 21 in drawing are circuits shown in drawing 1, in drawing 3, are divided into bit circuit 10B whose photoelectrical conversion circuit 10 is a circuit of photosensor PD and others, and are shown.

[0032] A differential circuit 3 is an analog operation means to ask for the difference of the sensor signal which is constituted by resistance R1-R4 and the op amplifier 30, and is simultaneously inputted from output circuits 20 and 21, and a reference signal. Amendment of a sensor signal is performed based on a reference signal, and the amendment signal OUT is generated by this data processing. This amendment signal OUT is changed into a digital signal in the A/D-conversion circuit 4, and is inputted into the microcomputer 5 as a digital operation means, and digital processing is carried out as image data.

[0033] Under control of a microcomputer 5, a shift register 6 controls ON of the switches SW1-SW5 of each photoelectrical conversion circuit 10, and OFF, and operates each photoelectrical conversion circuit 10 according to the timing chart of drawing 2. In addition, the appearance and the shift register 6 with which a sensor signal and a reference signal are not outputted to coincidence from two or more photoelectrical conversion circuits 10, respectively have shifted the timing of each photoelectrical conversion circuit 10 of operation.

[0034] Drawing 4 is the timing chart which showed an example of actuation of the photoelectrical inverter of drawing 1. First, before irradiating light at photosensor PD, SW1 is made into a predetermined period ON state, and photosensor PD is initialized with initial voltage Vb. The terminal voltage of photosensor PD at this time serves as a reference signal. By the transfer circuits TR1-TR4, the electrical potential difference equivalent to reference voltage occurs in the gate electrode of a transistor TR3. For this reason, a reference signal is stored in a capacitor C2 if a switch SW3 is made into a predetermined period ON state.

[0035] After incorporation of the initial state to a capacitor C2, it is begun to photosensor PD to irradiate light. Based on light income, as for photosensor PD, terminal voltage falls by the electrical potential difference terminal voltage is changed and is equivalent to light income from reference voltage. And a sensor signal is stored in a capacitor C1, if the terminal voltage of photosensor PD after the completion of an optical exposure (i.e., after initializing and predetermined time passes) serves as a sensor signal and a switch SW2 is made into a predetermined time ON state.

[0036] Thus, a sensor signal and a reference signal are stored and held at capacitors C1 and C2, respectively. For this reason, by making switches SW4 and SW5 into an ON state simultaneously, through output circuits 20 and 21, a sensor signal can be outputted to a SIG terminal and a reference signal can be outputted to RS terminal.

[0037] In addition, initialization actuation and charge actuation of capacitors C1 and C2 are performed by turns here. a series of actuation which initializes photosensor PD and charges capacitors C1 and C2 -- a photo-electric-translation cycle, then a differential circuit 3 -- setting -- difference -- although the combination of the sensor signal to calculate and a reference signal may be a signal in the same photo-electric-translation cycle, it may be a thing in a different photo-electric-translation cycle. the difference of the sensor signal SIG incorporated by the capacitor C1 in the last cycle in drawing 3  $R > 3$ , and the reference signal RS incorporated by the capacitor C2 in the following cycle -- it is calculating. in this case, under the optical exposure to photosensor PD -- difference -- since it can calculate, it becomes possible to operate a high speed.

[0038] Drawing 5 is drawing having shown an example of the sensor signal SIG of each photoelectrical conversion circuit 10 (bit) of every when photosensor PD of each photoelectrical conversion circuit 10 receives the same quantity of light, a reference signal RS, and the amendment signal OUT. Since variation is in a reference signal RS, the sensor signal SIG also varies (see the (a) in drawing). However, since the light-receiving quantity of light is the same, the amount of sag of each photosensor PD is the same. For this reason, the amendment signal OUT is the same about each photoelectrical inverter 10 (see the (b) in drawing).

[0039] Drawing 6 is drawing having shown an example of the layout at the time of constituting this photoelectrical inverter as a semiconductor device (semiconductor chip). Much photosensor PDs are arranged in the shape of a straight line at a single tier, and much bit circuit 10B is arranged near this photosensor train at juxtaposition, and it is arranged so that corresponding photosensor PD and bit circuit 10B may adjoin. Pad P is the output terminal of a sensor signal common to each bit circuit 10B, and a reference signal etc. Moreover, the shift register 6 which controls such bit circuit 10B is also arranged.

Output circuits 20 and 21, the A/D-conversion circuit 4, and a microcomputer 5 are usually constituted as another semiconductor chip, and wiring connection is made on the printed circuit board.

[0040] According to the gestalt of this operation, the reference signal RS equivalent to the reference voltage of photosensor PD and the sensor signal SIG of photosensor PD obtained after light-receiving are searched for, and it is asking for the difference by the analog differential circuit. For this reason, the terminal voltage of photosensor PD which fell based on the light-receiving quantity of light is detectable to accuracy. That is, even if it is the case where the photoelectrical conversion circuit 10 varies for every bit, this variation can be amended and the more exact light-receiving quantity of light can be detected.

[0041] For example, when the reference voltage of photosensor PD varies for every photosensor PD, variation can be amended and the exact light-receiving quantity of light can be detected. Although the bias voltage generator VB is usually constituted using a transistor as shown in drawing 2, the variation resulting from a manufacture process etc. tends to generate the property of a transistor. A division ratio may change under the effect of this variation, and the initialization electrical potential difference Vb may vary about dozens of%. According to the gestalt of this operation, remarkable effectiveness is done in such a case especially so.

[0042] In addition, the object for amendment by this invention is not limited to the variation in the initialization electrical potential difference Vb of photosensor PD, but can amend the various variations which appear as an offset component in the sensor signal SIG. For example, the variation within the photoelectrical conversion circuit 10 of photosensor PD, the transfer circuit TR1 - TR4 grade can be amended, and the more exact light-receiving quantity of light can be detected.

[0043] Although the gestalt 1 of gestalt 2. implementation of operation explained the example in the case of performing one initialization actuation within a photo-electric-translation cycle, the gestalt of this operation explains the case where two initialization actuation is performed within a photo-electric-translation cycle.

[0044] Drawing 7 is the timing chart which showed an example of actuation of the photoelectrical inverter by the gestalt 2 of operation of this invention. In addition, let the configuration of a photoelectrical inverter be the same thing as drawing 1 - drawing 3, and drawing 6. In this drawing, two initialization actuation is performed to one charge actuation of capacitors C1 and C2, respectively.

[0045] First, predetermined time ON of the switch SW1 is carried out, photosensor PD is initialized, a switch SW3 is turned on, and reference voltage is accumulated in a capacitor C2. Then, predetermined period ON of the switch SW1 is carried out again, photosensor PD is initialized again, SW2 is turned on after an optical exposure, and a sensor electrical potential difference is accumulated in a capacitor C1. That is, after accumulating to a capacitor C2, reinitialization is performed, and are recording to a capacitor C1 is performed after predetermined time from this reinitialization.

[0046] When not performing 2nd initialization actuation, the terminal voltage of photosensor PD in front of an optical exposure may differ from the reference voltage incorporated by the capacitor C2. These electrical-potential-difference differences turn into an error of the amendment signal OUT, and appear. Therefore, if photosensor PD is again initialized before the optical exposure after charge of a capacitor C2, the error of the amendment signal OUT by such cause can be eliminated.

[0047] according to the gestalt of this operation, while performing 1st initialization actuation before incorporation of reference voltage, the accuracy 7 light-receiving quantity of light is more detectable by performing 2nd initialization actuation, before the optical exposure to photosensor PD, and initializing twice within a photo-electric-translation cycle.

[0048] Although the gestalten 1 and 2 of gestalt 3. implementation of operation explained the example in the case of impressing the initialization electrical potential difference Vb and initializing photosensor PD, the gestalt of this operation explains the case where impress supply voltage Vdd and photosensor PD is initialized.

[0049] Drawing 8 is drawing having shown the example of 1 configuration of the important section of the photoelectrical inverter by the gestalt 3 of operation of this invention. Using Nch transistor TR1a and TR2a as a transfer circuit, further, the photoelectrical conversion circuit 11 in drawing is the point which carries out the seal of approval of the supply voltage Vdd to photosensor PD through the initialization switch SW1, and differs from the photoelectrical conversion circuit 10 of drawing 1. In addition, the configuration of the whole photoelectrical inverter is the same as that of drawing 3.

[0050] The end (cathode) of photosensor PD is connected to the gate electrode of transistor TR1a while connecting with supply voltage Vdd through SW1. Initialization of photosensor PD makes a switch SW1 an ON state, and is performed by impressing supply voltage Vdd.

[0051] The source electrode of transistor TR1a is connected to the drain electrode of transistor TR2a. The

bias voltage generator VB shown in drawing 2 is connected to the gate electrode of transistor TR2a, and bias voltage Vb is impressed to it. A source follower circuit is constituted by transistor TR1a and TR2a, and the electrical potential difference equivalent to the gate voltage of transistor TR1a appears in the source electrode of transistor TR1a. The source electrical potential difference of transistor TR1a is connected to capacitors C1 and C2 through switches SW2 and SW3, respectively. That is, transistor TR1a and TR2a constitute the transfer circuit.

[0052] Drawing 9 is the timing chart which showed an example of actuation of the photoelectrical inverter of drawing 8. Except for the point that an initialization electrical potential difference is Vdd, it is completely the same as that of actuation of drawing 7.

[0053] With the gestalt of this operation, a Nch transistor is used for transistor TR1a, and supply voltage Vdd is used as an initialization electrical potential difference of photosensor PD. When photosensor PD is a photodiode, the current to which induction of the depletion layer is carried out by breadth and optical exposure increases, so that applied voltage is high. For this reason, even if it is the case where the same photosensor PD is used, compared with the case where the partial pressure electrical potential difference Vb is impressed, that sensibility can be raised by making supply voltage Vdd into an initialization electrical potential difference.

[0054] Moreover, in order not to be influenced of the variation in the bias voltage generator VB, it compares with bias voltage Vb, and supply voltage Vdd is a pile to variation. That is, an initialization electrical potential difference cannot vary but precision can be raised. Furthermore, since run JISUTA TR1a is a source follower circuit, even if it changes the bias voltage Vb of transistor TR2a, as for the output voltage (source electrical potential difference) of transistor TR1a, it is hardly influenced. Therefore, according to the gestalt of this operation, while high-sensitivity-izing a photoelectrical inverter, it can high-degree-of-accuracy-ize.

[0055] Although the gestalten 1-3 of gestalt 4. implementation of operation explained the example in the case of having two output circuits 20 and 21, the gestalt of this operation explains the case where one output circuit is shared, about a sensor signal and a reference signal.

[0056] Drawing 10 is drawing having shown the example of 1 configuration of the important section of the photoelectrical inverter by the gestalt 3 of operation of this invention. Here, the sensor signal and reference signal from the photoelectrical intermediary conversion circuit 11 are inputted into the same output circuit 20 through a highway, and switches SW4 and SW5 are controlled by the appearance which will not be in an ON state simultaneously.

[0057] Drawing 11 is drawing having shown the example of 1 configuration of the whole photoelectrical inverter by the gestalt 3 of operation of this invention. the output signal of an output circuit 20 -- difference -- it is inputted into the microcomputer 5 through the A/D-conversion circuit 4, without calculating.

[0058] Drawing 12 is the timing chart which showed an example of actuation of the photoelectrical inverter of drawing 10. It differs from the timing chart of drawing 9 in that the timing of a switch SW4 and a switch SW5 of operation has shifted. The shift register 6 is controlling the switches SW4 and SW5 of the appearance with which the signal on a highway does not collide, and each photoelectrical conversion circuit 11 between each photoelectrical conversion circuit 11 or between a sensor signal and a reference signal. That is, the highway is shared by time sharing. the sensor signal and reference signal by which A/D conversion was carried out input into a microcomputer 5 one by one -- having -- \*\*\*\* -- a microcomputer 5 -- the difference of both signals -- it calculates and the amendment signal is searched for.

[0059] With the gestalten 1-3 of operation, different output circuits 20 and 21 were used for every sensor signal and reference signal. When offset variation etc. is in these output circuits, the variation serves as an error of an amendment signal, and appears. Especially, as output circuits 20 and 21, in using the semiconductor according to individual (another chip), the effect of the variation during a chip becomes large. According to the gestalt of this operation, since the same output circuit 3 is used about the sensor signal and the reference signal, the variation of an output circuit, especially the variation during a chip can be controlled.

[0060] The gestalten 1-4 of gestalt 5. implementation of operation explained the example in the case of transmitting the sensor signal and reference signal which capacitors C1 and C2 hold to output circuits 20 and 21 as a current mirror output of the Pch transistors TR5 and TR6. The gestalt of this operation explains the case where it outputs by the source follower circuit of Nch transistor TR5a and TR6a.

[0061] Drawing 13 is drawing having shown the example of 1 configuration of the important section of the photoelectrical inverter by the gestalt 5 of operation of this invention. In addition, the configuration of the whole photoelectrical inverter is the same as that of drawing 3. Nch transistor TR5a is the source follower

circuit where supply voltage Vdd was impressed to the drain electrode, and the electrical potential difference equivalent to the sensor signal of the capacitor C1 inputted into a gate electrode appears in a source electrode. This source electrode is connected to output circuit 20a through a switch SW4. Output circuit 20a consists of a buffer circuit BUF1, and amplifies and outputs the inputted sensor signal.

[0062] It is completely similarly inputted into output circuit 21a which the reference signal which a capacitor C2 holds also becomes from a buffer circuit BUF2 through transistor TR6a and a switch SW5.

[0063] According to the gestalt of this operation, circuitry can be simplified by transmitting the sensor signal and reference signal which were held at capacitors C1 and C2 to output circuits 20a and 21a using the source follower circuit of Nch transistor TR5a and TR6a.

[0064] Moreover, the sensor signal and the reference signal are transmitted through the separate path until it reaches [ from capacitors C1 and C2 ] a differential circuit 4. For this reason, if variation is in properties, such as an intermediate transistor, this variation will serve as an error of an amendment signal, and it will appear. With the gestalt of this operation, by simplifying this circuitry, the effect of this variation can be controlled and the more exact light-receiving quantity of light can be detected.

[0065] Although the gestalten 3-5 of gestalt 6. implementation of operation explained the example when the current is always flowing in the source follower circuit which consists of transistor TR1a and TR2a, the gestalt of this operation explains the case where turn off transistor TR1a and current consumption is reduced at the time of un-accumulating [ of capacitors C1 and C2 ].

[0066] Drawing 14 is drawing having shown the example of 1 configuration of the important section of the photoelectrical inverter by the gestalt 6 of operation of this invention, and other examples of a configuration of the bias voltage generator VB of drawing 8 are shown. This bias voltage generator VB is a partial pressure circuit which generates a low battery, and the control signal S constitutes output voltage from supply voltage Vdd controllable.

[0067] The Nch transistor TRy by which diode connection of this bias voltage generator VB was made with the Pch transistor TRx is connected to a serial between supply voltage Vdd and a gland, and the electrical potential difference Vo of this node is outputted. The control signal S from a shift register 6 is inputted into the gate electrode of Transistor TRx through Inverter INV.

[0068] When a control signal S is a low, sufficient bias voltage for Transistor TRx will be impressed, it will be in an ON state, and both the output voltage Vo turns into the predetermined electrical potential difference Vb called for by the division ratio of the transistors TRx and TRy of an ON state. At this time, the penetration current is flowing to Transistors TRx and TRy. On the other hand, when a control signal S is a high level, bias voltage will be insufficient for Transistor TRx, it will be in an OFF state, and output voltage Vo serves as a grand level (touch-down potential) mostly. A penetration current does not flow at this time.

[0069] If, as for transistor TR2a of drawing 8, an electrical potential difference Vb is impressed at a gate electrode, it will be in an ON state and a penetration current will flow to transistor TR1a and TR1b at this time. On the other hand, if a grand level is impressed to the gate electrode of transistor TR2a, it will be in an OFF state and a penetration current will not flow to transistor TR1a and TR1b.

[0070] That is, the penetration current of the penetration current in the bias voltage generator VB, transistor TR1a, and TR2a is controlled, without supplying bias voltage VB, when a control signal S is a high level while operating completely like the bias voltage generator VB of drawing 2, when a control signal S is a low.

[0071] Drawing 15 is the timing chart which showed an example of actuation of the photoelectrical inverter by the gestalt 6 of this operation. When it stores the terminal voltage of photosensor PD in capacitors C1 and C2, make the control signal S of the bias voltage generator VB into a low, transistor TR1a and TR2a are made to turn on, and it is made to function as a transfer circuit. And in being other (for example, an optical exposure period and an initialization period), the control signal S was made into a high level, and it has controlled the penetration current.

[0072] According to the gestalt of this operation, the output voltage of the bias voltage generator VB is controlled, transistor TR2a can be turned on and OFF control can be carried out. For this reason, when the terminal voltage of photosensor PD is not read, the function of transfer circuit TR1a and TR2a can be stopped, and the consumed electric current can be controlled.

[0073]

[Effect of the Invention] By detecting the reference signal after initialization, and the sensor signal after an optical exposure, and amending a sensor signal about the same photosensor, based on a reference signal, the photoelectrical inverter by this invention can amend the variation in a photoelectrical conversion circuit, and can detect the exact light-receiving quantity of light.

---

[Translation done.]

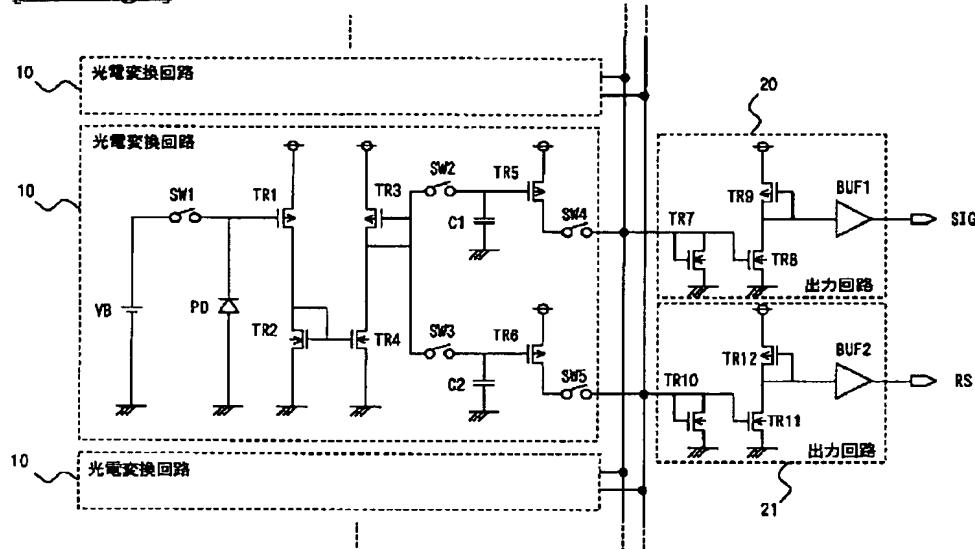
## \* NOTICES \*

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

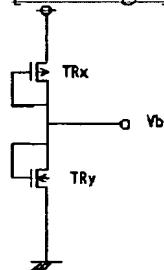
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

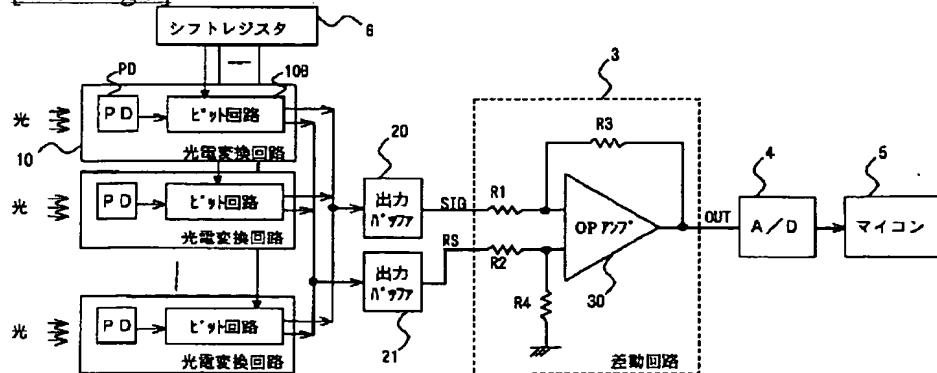
## [Drawing 1]



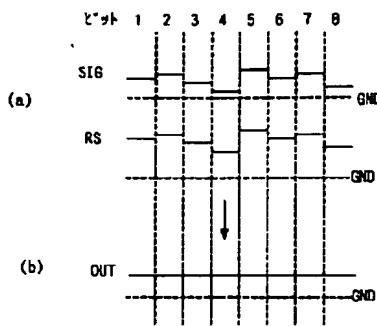
## [Drawing 2]



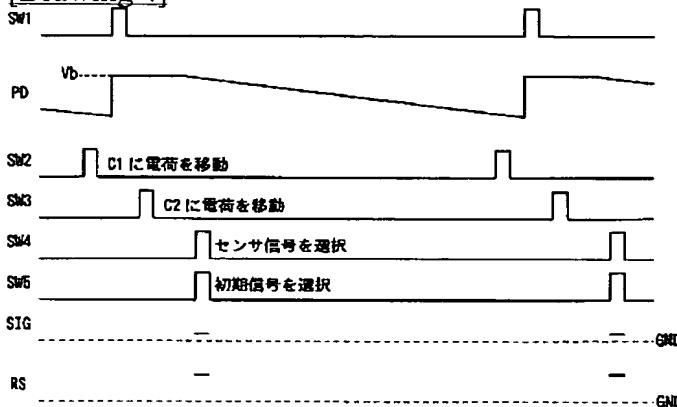
## [Drawing 3]



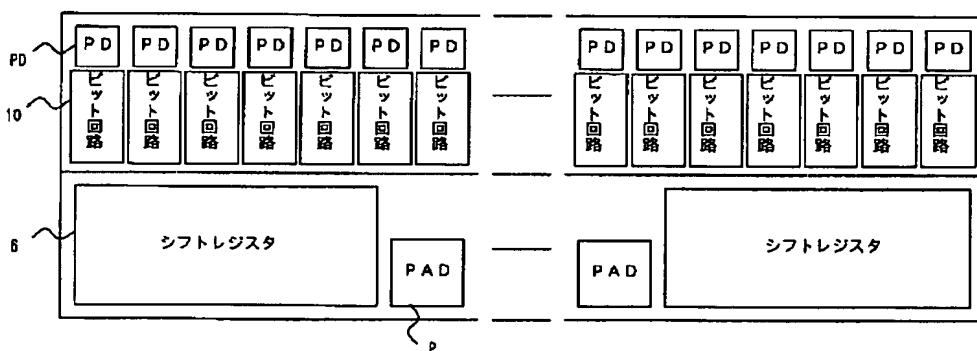
## [Drawing 5]



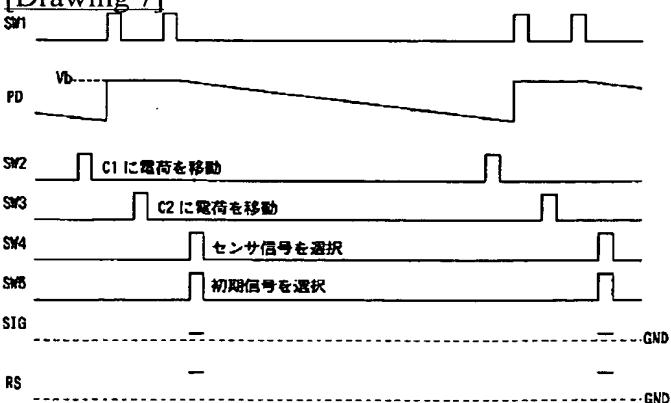
[Drawing 4]



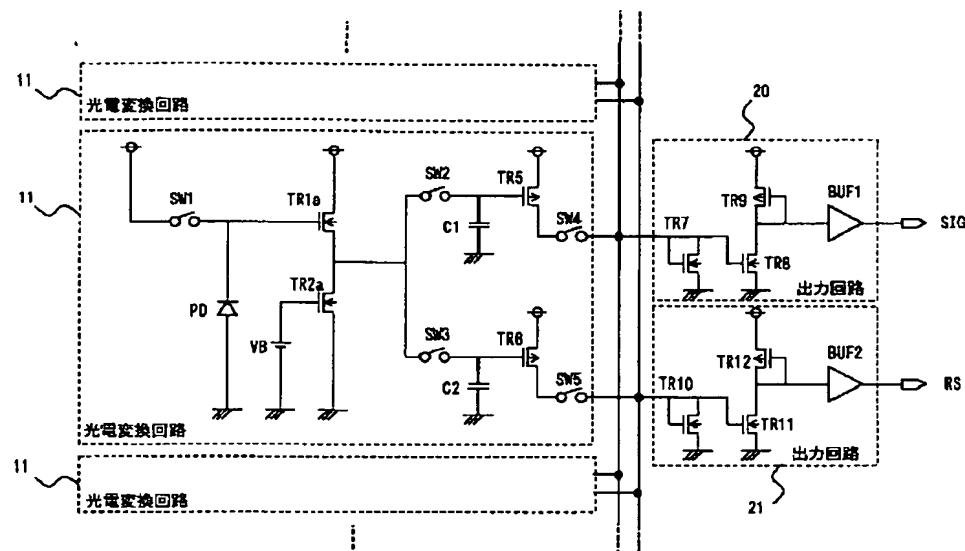
[Drawing 6]



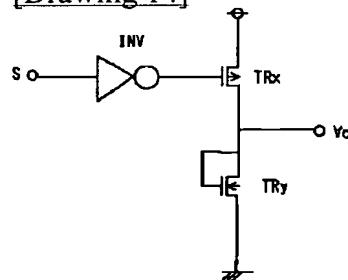
[Drawing 7]



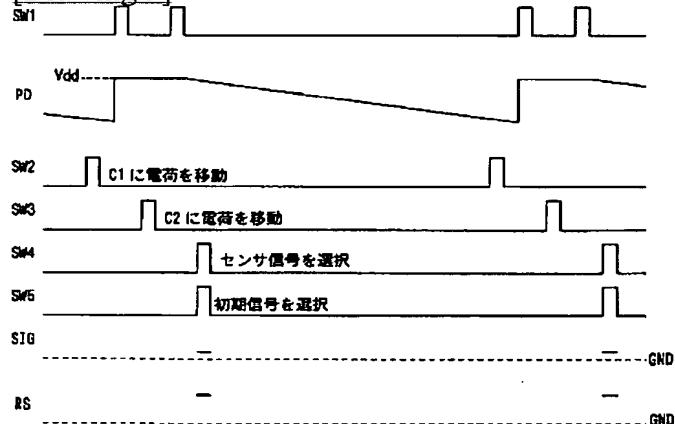
[Drawing 8]



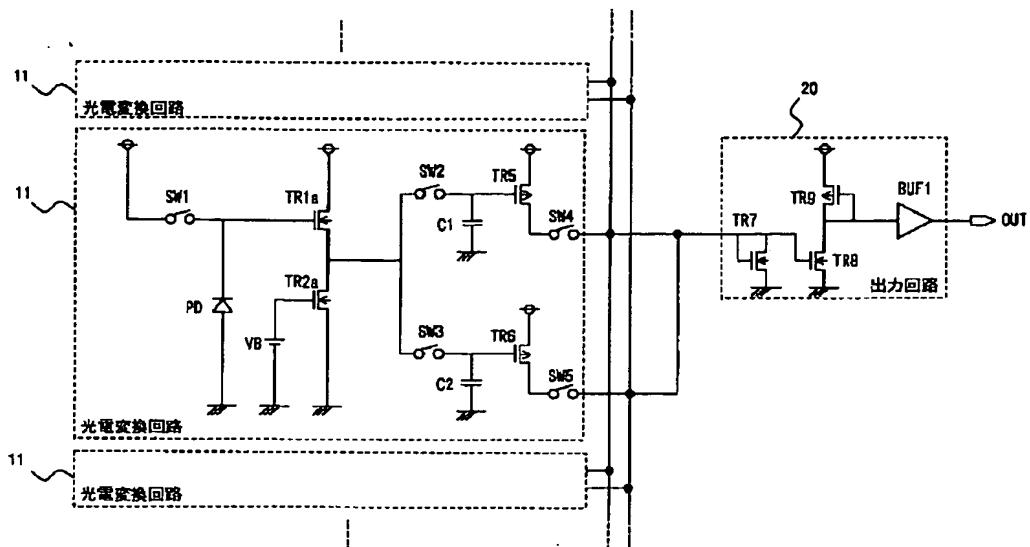
[Drawing 14]



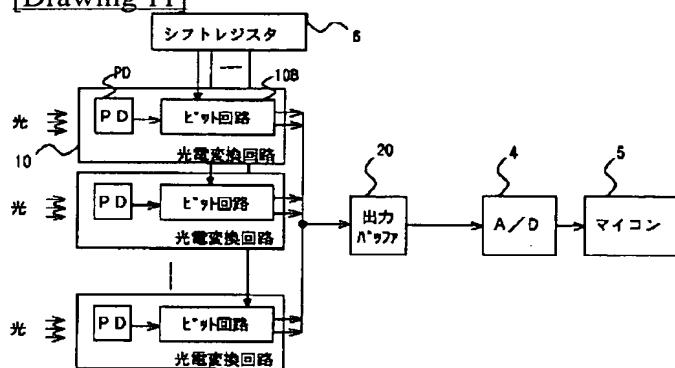
[Drawing 9]



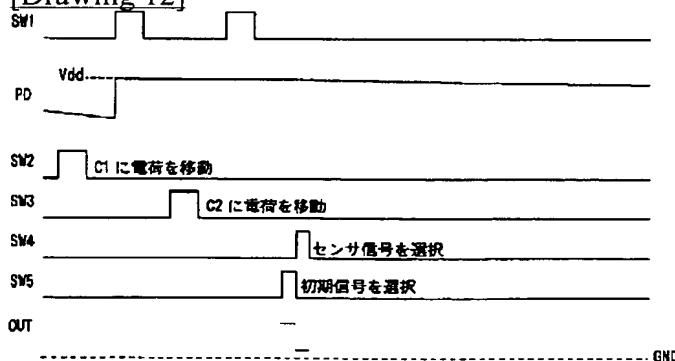
[Drawing 10]



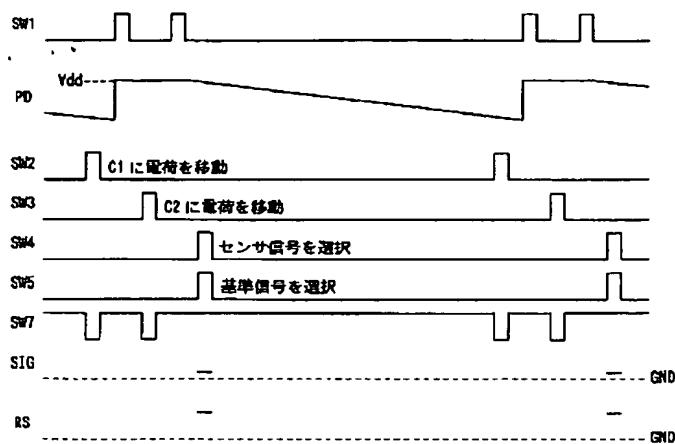
[Drawing 11]



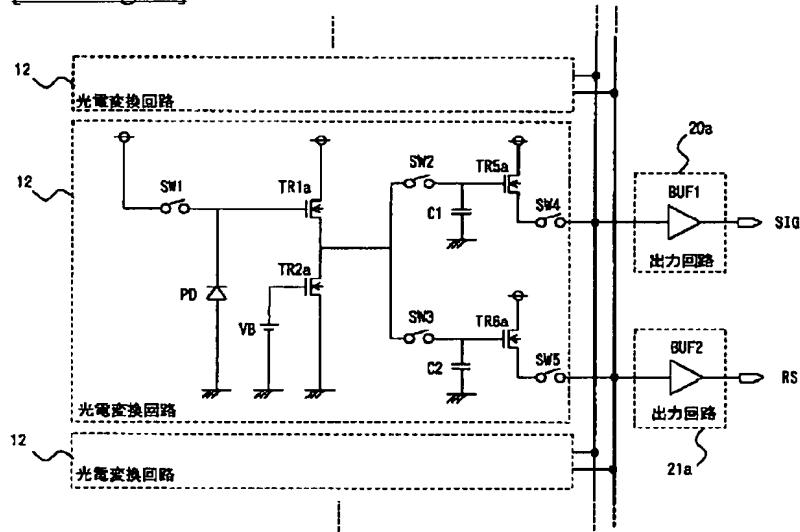
[Drawing 12]



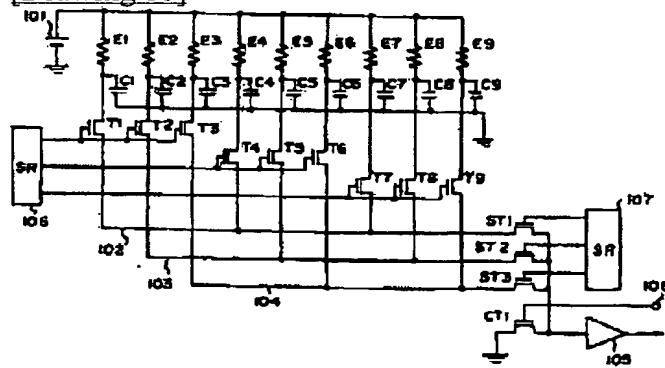
[Drawing 15]



[Drawing 13]



[Drawing 16]



[Translation done.]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-245212

(P2001-245212A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl.  
H 04 N 5/335

識別記号

P I  
H 04 N 5/335

マーク(参考)

H 01 L 27/146  
31/10

H 04 N 1/028

1/028  
H 01 L 27/14  
31/10P 4 M 1 1 8  
Z 5 C 0 2 4  
Z 5 C 0 5 1  
A 5 F 0 4 9  
G

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21)出願番号 特願2000-50571(P2000-50571)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日 平成12年2月28日(2000.2.28)

(72)発明者 寺田 孝守

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外1名)

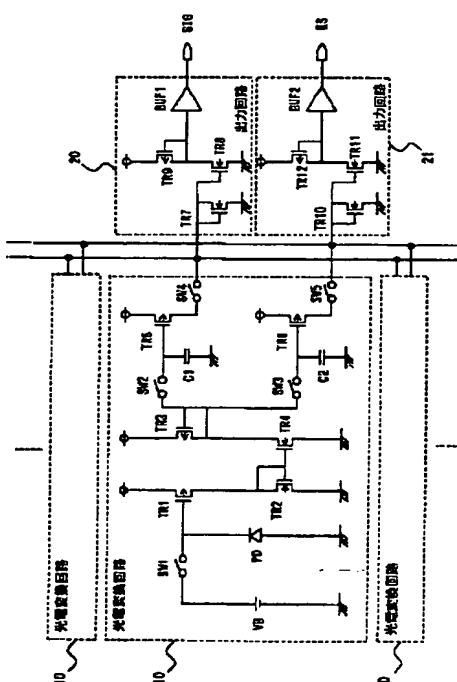
最終頁に続く

## (54)【発明の名称】 光電変換装置

## (57)【要約】

【課題】 それぞれが光電変換素子を含む複数の光電変換回路を備えた光電変換装置において、光電変換回路(ピット)間の出力バラツキを補正することを目的としている。

【解決手段】 光センサを初期化する初期化手段と、初期化された光センサから出力される基準信号を検出する第1の検出手段と、受光後の上記光センサから出力されるセンサ信号を検出する第2の検出手段と、基準信号に基づきセンサ信号を補正する補正手段からなる。



(2)

2

## 【特許請求の範囲】

【請求項1】 光センサを初期化する初期化手段と、初期化された光センサから出力される基準信号を検出する第1の検出手段と、受光後の上記光センサから出力されるセンサ信号を検出する第2の検出手段と、基準信号に基づきセンサ信号を補正する補正手段とを備えた光電変換装置。

【請求項2】 上記初期化手段は、基準信号の検出後に光センサを再び初期化し、上記第2の検出手段は、再び初期化してから所定時間経過後にセンサ信号を検出する請求項1に記載の光電変換装置。

【請求項3】 フォトダイオードに初期電圧を印加する初期化回路と、フォトダイオードの出力信号を次段に伝達する伝達回路と、伝達回路から初期化後に出力される基準信号を取り込む第1のコンデンサと、伝達回路から受光後に出力されるセンサ信号を取り込む第2のコンデンサと、第1のコンデンサが保持する基準信号に基づき、第2のコンデンサが保持するセンサ信号を補正する補正回路からなる光電変換装置。

【請求項4】 上記伝達回路は、フォトダイオードの出力電圧を電流信号に変換する電圧電流変換回路と、電流信号を伝達するカレントミラー回路と、カレントミラー回路の出力電流を電圧信号に変換する電流電圧変換回路からなる請求項3に記載の光電変換装置。

【請求項5】 上記伝達回路は、第1のトランジスタからなるソースフォロア回路により構成され、上記初期化回路は第1のトランジスタのドレイン電圧を初期電圧とする請求項3に記載の光電変換装置。

【請求項6】 上記伝達回路は、第1のトランジスタのソース電極に接続される第2のトランジスタと、第2のトランジスタにバイアス電圧を印加するバイアス電圧発生回路を備え、バイアス電圧発生器は、出力電圧を変更可能に構成され、第2のトランジスタをオン、オフ制御する請求項5に記載の光電変換装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は光電変換装置に係り、さらに詳しくは、画像読取装置に用いられる光電変換装置（例えば半導体イメージセンサ）であって、光電変換素子のバラツキを補正する光電変換装置の改良に関する。

## 【0002】

【従来の技術】 この種の光電変換装置としては、例えば特公平3-38229号公報に開示されたものがある。図16はこの公報に記載された従来の光電変換装置の構成を示した図であり、9個の光センサを有する光センサアレイからなる光電変換装置が示されている。

【0003】 光センサE1～E9は、3個で1ブロックを構成し、3ブロックで光センサアレイを構成している。光センサE1～E9に各々対応しているコンデンサ

C1～C9、スイッチングトランジスタT1～T9も同様である。各光センサE1～E9の一方の電極（共通電極）は電源101に接続され、他方の電極（個別電極）は各々コンデンサC1～C9を介して接地されている。

【0004】 また、光センサE1～E9の各ブロック内で同一順番を有する個別電極は、各々スイッチングトランジスタT1～T9を介して、共通線102～104の一つに接続されている。すなわち、各ブロックの第一のスイッチングトランジスタT1、T4、T7が共通線102に、各ブロックの第二のスイッチングトランジスタT2、T5、T8が共通線103に、そして各ブロックの第三のスイッチングトランジスタT3、T6、T9が共通線104に、それぞれ接続されている。

【0005】 共通線102～104は、各々スイッチングトランジスタST1～ST3を介して、アンプ105の入力端子、すなわち、スイッチトランジスタST1～ST3の共通端子は、放電用のスイッチングトランジスタCT1を介して接地され、スイッチトランジスタCT1のゲート電極は端子108に接続されている。

【0006】 また、スイッチングトランジスタT1～T9のゲート電極はブロック毎に共通に接続され、それぞれシフトレジスタ106の並列出力端子に接続されている。シフトレジスタ106の並列出力端子からは所定のタイミングで順次ハイレベルが出力されるから、スイッチングトランジスタT1～T9はブロック毎に順次オン状態となる。

【0007】 また、スイッチングトランジスタST1～ST3の各ゲート電極はシフトレジスタ107の並列出力端子に各々接続され、この並列出力端子からハイレベルが所定のタイミングで順次出力されることで、スイッチトランジスタST1～ST3が順次オン状態となる。

【0008】 このような構成を有する従来の光電変換装置の動作について簡単に説明する。光センサE1～E9に光が入射すると、その強度に応じて電源101からコンデンサC1～C9に電荷が蓄積される。その後、シフトレジスタ106および107からそれぞれのタイミングで順次ハイレベルが出力される。

【0009】 ここで、両レジスタ106、107の第一の並列出力端子からハイレベルが出力されたとすれば、第一のブロックのスイッチトランジスタT1～T3及びST1がオン状態となる。このため、コンデンサC1に蓄積されている電荷が、スイッチトランジスタT1、共通線102、そしてスイッチングトランジスタST1を通って、アンプ105へ入力され、画像情報として出力される。

【0010】 コンデンサC1に蓄積されている電荷が読み出されると、端子108にハイレベルが印可され、スイッチングトランジスタCT1がオン状態となる。これによって、コンデンサC1の残留電荷は、スイッチング

(3)

3

トランジスタT1、共通線102、スイッチングトランジスタST1、そしてスイッチングトランジスタCT1を通して完全に放電される。

【0011】続いて、シフトレジスタ106の第一の並列出力をハイレベルにしたままで、シフトレジスタ107を順次シフトさせスイッチングトランジスタST2、ST3を順にオン状態とする。これによって、コンデンサC2およびC3に関して上記の読み出しおよび放電動作を行い、それらに蓄積されている情報を読み出すことができる。第一ブロックの情報の読み出しが終了すると、シフトレジスタ106を順次シフトさせ、第二、第三ブロックの情報の読み出しを同様に行うことができる。

【0012】この光電変換装置では、コンデンサC1～C9に蓄積された情報がシリアルに読み出され、アンプ105から画像情報として出力される。このため、外部回路との接続点の数を少なくすることができる等の利点を有している。

### 【0013】

【発明が解決しようとする課題】しかしながら、半導体として作り込まれる回路には必ず製造バラツキが発生する。例えば、図16の光センサE1～E9、トランジスタT1～T9等は、バラツキによりそれぞれ特性が異なっている。このため、各光センサE1～E9に同一の光強度を与えたとしても、この時アンプ105から出力される各光電変換素子（ビット）ごとの画像情報にも、これらの製造バラツキに相当するバラツキが含まれるという問題があった。

【0014】この発明は上記のような問題点を解消するためになされたもので、それが光電変換素子を含む複数の光電変換回路を備えた光電変換装置において、光電変換回路（ビット）間の出力バラツキを補正することを目的としている。

### 【0015】

【課題を解決するための手段】本発明による光電変換装置は、光センサを初期化する初期化手段と、初期化された光センサから出力される基準信号を検出する第1の検出手段と、受光後の上記光センサから出力されるセンサ信号を検出する第2の検出手段と、基準信号に基づきセンサ信号を補正する補正手段とを備えて構成される。このため、センサ信号及び基準信号についての共通回路のバラツキに起因するセンサ信号のオフセット成分の誤差を補償することができる。

【0016】また、本発明による光電変換装置は、初期化手段が、基準信号の検出後に光センサを再び初期化し、第2の検出手段が、再び初期化してから所定時間経過後にセンサ信号を検出する。

【0017】また、本発明による光電変換装置は、フォトダイオードに初期電圧を印加する初期化回路と、フォトダイオードの出力信号を次段に伝達する伝達回路と、

4

伝達回路から初期化後に出力される基準信号を取り込む第1のコンデンサと、伝達回路から受光後に出力されるセンサ信号を取り込む第2のコンデンサと、第1のコンデンサが保持する基準信号に基づき、第2のコンデンサが保持するセンサ信号を補正する補正回路からなる。

【0018】また、本発明による光電変換装置は、伝達回路が、フォトダイオードの出力電圧を電流信号に変換する電圧電流変換回路と、電流信号を伝達するカレントミラー回路と、カレントミラー回路の出力電流を電圧信号に変換する電流電圧変換回路からなる。

【0019】また、本発明による光電変換装置は、伝達回路が第1のトランジスタからなるソースフォロア回路により構成され、初期化回路が第1のトランジスタのドレイン電圧を初期電圧とするように構成される。

【0020】また、本発明による光電変換装置は、伝達回路が、第1のトランジスタのソース電極に接続される第2のトランジスタと、第2のトランジスタにバイアス電圧を印加するバイアス電圧発生回路を備え、バイアス電圧発生器が、出力電圧を変更可能に構成され、第2のトランジスタをオン、オフ制御する様に構成される。

### 【0021】

【発明の実施の形態】実施の形態1. 図1は、本発明の実施の形態1による光電変換装置の要部の一構成例を示した図であり、1ビット分の光電変換回路10及び出力回路20、21について詳細な構成が示されている。図中のPDは光センサ、VBはバイアス電圧発生器、SW1～SW5はスイッチ、TR1～TR12はトランジスタ、C1、C2はコンデンサ、BUF1、BUF2はバッファ回路である。

【0022】光センサPDは、光電変換素子としてのフォトダイオードであり、その一端（アノード）が接地されるとともに、他端（カソード）がスイッチSW1及びトランジスタTR1のゲート電極に接続されている。スイッチSW1は、光センサPDの初期化スイッチであり、スイッチSW1をオンすると、バイアス電圧発生器VBの出力電圧（初期化電圧）Vbが印加され、光センサPDが初期化される。

【0023】トランジスタTR1～TR4は、光センサPDの端子電圧をコンデンサC1、C2へ伝達するための伝達回路を構成している。PchトランジスタTR1、TR3のソース電極には電源電圧Vddが印可され、NchトランジスタTR2、TR4のソース電極は接地されている。トランジスタTR1は、ゲート電圧をドレイン電流に変換する電圧電流変換手段であり、光センサPDの端子電圧を電流信号に変換する。トランジスタTR2及びTR4は、両者の共通ゲートをトランジスタTR2のドレイン電極に接続して構成されるカレントミラー回路であり、両者のドレイン電流はほぼ等しくなる。トランジスタTR3は、トランジスタTR4のドレイン電流を電圧信号に変換する電流電圧変換手段であ

40  
45  
50

(4)

5

る。従って、この伝達回路は、光センサPDの出力する電圧信号を、一旦、電流信号に変換した後に逆変換して電圧信号としてコンデンサC1、C2に伝達する。

【0024】スイッチSW2、SW3は、それぞれコンデンサC1、C2の充電用スイッチであり、スイッチSW2又はSW3の一方をオンすると、対応するコンデンサC1又はC2にトランジスタTR3のゲート電圧が伝達される。すなわち、光センサPDの出力に基づきコンデンサC1又はC2が充電される。コンデンサC1は、光電変換結果として得られた光センサPDの端子電圧に相当する電圧レベル（センサ信号）を保持するためのコンデンサであり、コンデンサC2は、初期化された光センサPDの端子電圧に相当する電圧レベル（基準信号）を保持するためのコンデンサである。

【0025】トランジスタTR5は、コンデンサC1に蓄積された電圧レベルを電流信号として出力する電圧電流変換手段であり、出力用スイッチSW4を介して、センサ信号（SIG）用の出力回路20へ出力する。同様にして、トランジスタTR6は、コンデンサC2に蓄積された電圧レベルを電流信号として、出力用スイッチSW5を介して、基準信号（RS）用の出力回路20へ出力する。

【0026】出力回路20は、各光電変換回路10のセンサ信号の出力端子に接続され、各光電変換回路10から順次に出力される電流信号（センサ信号）を順次に電圧信号へ変換して出力する回路である。トランジスタTR7及びTR8はカレントミラー回路を構成しており、トランジスタTR8のドレイン電流は光電変換回路10の出力するセンサ信号（電流信号）と等しい。この電流をトランジスタTR9が電圧信号に変換し、バッファ回路BUF1が増幅し、センサ信号（電圧信号）としてSIG端子へ出力する。つまり、TR7～TR9は、トランジスタTR5とともに、コンデンサC1の蓄積電圧をアンプBUF1へ伝達するための伝達回路を構成している。

【0027】出力回路21は、各光電変換回路10の基準信号の出力端子に接続され、各光電変換回路10から順次に出力される基準信号（電流信号）を順次に増幅し、基準信号としてRS端子へ出力する。回路構成は出力回路20と同一である。

【0028】出力回路20、21は、各ビット（光電変換回路10）に共通であるため、各スイッチSW4は2以上のビットのセンサ信号がショートしない様に、各スイッチSW5は2以上のビットの基準信号がショートしない様に、それぞれオン、オフ制御される。

【0029】図2は、図1のバイアス電圧発生器VBの一構成例を示した図である。バイアス電圧発生器VBは、電源電圧Vdd（通常3V又は5V）よりも低い電圧Vbを出力する定電圧源である。図中のともにダイオード接続されたトランジスタTRx、TRyは分圧抵抗

6

であり、電源電圧Vdd、グランド間に直列に接続され、その接続点から初期化電圧Vbが取り出される。ここでは、トランジスタTRx、TRyをそれぞれ1個のトランジスタにより構成する例を示しているが、複数のトランジスタの直列又は並列回路により構成してもよい。

【0030】図1のトランジスタTR1のソース電極には電源電圧Vddが印加されていることから、光センサPDの端子電圧によってトランジスタTR1のバイアス電圧が決まる。このため、初期化時にもトランジスタTR1を動作させるには、初期化電圧Vbを少なくともバイアス電圧分だけ電源電圧Vddより低電圧にする必要がある。このため、所定の分圧比により電源電圧Vddを分圧して初期化電圧Vbを生成している。

【0031】図3は、本発明の実施の形態1による光電変換装置全体の一構成例を示した図である。図中の3は差動回路、4はA/D変換回路、5はマイコン、6はシフトレジスタである。なお、図中の光電変換回路10及び出力回路20、21は図1に示した回路であり、図3中では光電変換回路10が光センサPDと他の回路であるピット回路10Bに分けて示されている。

【0032】差動回路3は、抵抗R1～R4及びOPアンプ30により構成され、出力回路20、21から同時に入力されるセンサ信号と基準信号の差分を求めるアナログ演算手段である。この演算処理により、基準信号に基づきセンサ信号の補正が行われ、補正信号OUTが生成される。この補正信号OUTは、A/D変換回路4でデジタル信号に変換され、デジタル演算手段としてのマイコン5に入力され画像データとしてデジタル処理される。

【0033】シフトレジスタ6は、マイコン5の制御下で、各光電変換回路10のスイッチSW1～SW5のオン、オフを制御して、各光電変換回路10を図2のタイミングチャートに従って動作させる。なお、2以上の光電変換回路10からセンサ信号、基準信号がそれぞれ同時に出力されることがない様、シフトレジスタ6は各光電変換回路10の動作タイミングをずらしている。

【0034】図4は、図1の光電変換装置の動作の一例を示したタイミングチャートである。まず、光センサPDに光を照射する前にSW1を所定期間オン状態にし、初期電圧Vbにより光センサPDを初期化する。この時の光センサPDの端子電圧が基準信号となる。伝達回路TR1～TR4により、基準電圧に相当する電圧がトランジスタTR3のゲート電極に発生する。このため、スイッチSW3を所定期間オン状態にすれば、基準信号がコンデンサC2に格納される。

【0035】コンデンサC2への初期状態の取り込み後に、光センサPDへ光を照射し始める。光センサPDは、受光量に基づき端子電圧が変動し、基準電圧から受光量に相当する電圧分だけ端子電圧が低下していく。そ

(5)

7

して、光照射完了後、すなわち初期化してから所定時間が経過した後の光センサPDの端子電圧がセンサ信号となり、スイッチSW2を所定時間オン状態にすれば、センサ信号がコンデンサC1に格納される。

【0036】この様にして、コンデンサC1、C2には、それぞれセンサ信号、基準信号が格納され保持される。このため、スイッチSW4、SW5を同時にオン状態にすることで、出力回路20、21を介して、センサ信号をSIG端子に、基準信号をRS端子に出力することができる。

【0037】なお、ここでは初期化動作とコンデンサC1、C2の充電動作は交互に行われている。光センサPDを初期化してコンデンサC1、C2を充電する一連の動作を光電変換サイクルとすれば、差動回路3において差分演算されるセンサ信号と基準信号の組み合わせは、同一の光電変換サイクル内の信号であってもよいが、異なる光電変換サイクルにおけるものであってもよい。図3では、直前のサイクルでコンデンサC1に取り込まれたセンサ信号SIGと、次のサイクルでコンデンサC2に取り込まれた基準信号RSとの差分演算を行っている。この場合、光センサPDへの光照射中に差分演算を行うことができるので、高速に動作させることができるとなる。

【0038】図5は、各光電変換回路10の光センサPDが同一光量を受光した場合における各光電変換回路10(ビット)ごとのセンサ信号SIG、基準信号RS及び補正信号OUTの一例を示した図である。基準信号RSにバラツキがあるため、センサ信号SIGもばらついている(図中の(a)を参照)。しかし、受光光量が同一であるため、各光センサPDの電圧低下量は同一である。このため、補正信号OUTは各光電変換装置10について同一となっている(図中の(b)を参照)。

【0039】図6は、この光電変換装置を半導体装置(半導体チップ)として構成した場合のレイアウトの一例を示した図である。多数の光センサPDが直線状に一列に配置され、この光センサ列の近傍に多数のビット回路10Bが並列に配置され、対応する光センサPDとビット回路10Bとが隣接する様にレイアウトされている。パッドPは各ビット回路10Bに共通のセンサ信号、基準信号の出力端子等である。また、これらのビット回路10Bを制御するシフトレジスタ6も配置されている。出力回路20、21、A/D変換回路4、マイコン5は、通常、別の半導体チップとして構成され、プリント基板上で配線接続されている。

【0040】本実施の形態によれば、光センサPDの基準電圧に相当する基準信号RSと、受光後に得られる光センサPDのセンサ信号SIGとを求める、アナログ差動回路によりその差分を求めている。このため、受光光量に基づき低下した光センサPDの端子電圧を正確に検出することができる。つまり、各ビットごとに光電変換回路

8

路10がばらついている場合であっても、このバラツキを補正し、より正確な受光光量を検出することができる。

【0041】例えば、光センサPDの基準電圧が、光センサPDごとにばらついている場合に、バラツキを補正して正確な受光光量を検出することができる。図2に示した通り、バイアス電圧発生器VBは、通常、トランジスタを用いて構成されるが、トランジスタの特性は製造プロセス等に起因するバラツキが発生しやすい。このバラツキの影響で分圧比が変化し、初期化電圧Vbが数十%程度もばらつく場合がある。本実施の形態によれば、この様な場合に特に顕著な効果を奏する。

【0042】なお、本発明による補正対象は、光センサPDの初期化電圧Vbのバラツキに限定されず、センサ信号SIGにオフセット成分として現れる種々のバラツキを補正することができる。例えば、光センサPD、伝達回路TR1～TR4等の光電変換回路10内でのバラツキを補正し、より正確な受光光量を検出することができる。

【0043】実施の形態2. 実施の形態1では、光電変換サイクル内で1回の初期化動作を行う場合の例について説明したが、本実施の形態では、光電変換サイクル内で2回の初期化動作を行う場合について説明する。

【0044】図7は、本発明の実施の形態2による光電変換装置の動作の一例を示したタイミングチャートである。なお、光電変換装置の構成は、図1～図3及び図6と同一であるものとする。この図では、それぞれ1回のコンデンサC1、C2の充電動作に対し2回の初期化動作が行われている。

【0045】まず、スイッチSW1が所定時間オンされて光センサPDが初期化され、スイッチSW3がオンされてコンデンサC2に基準電圧が蓄積される。その後、再びスイッチSW1が所定期間オンされて光センサPDが再び初期化され、光照射後にSW2がオンされてコンデンサC1にセンサ電圧が蓄積される。つまり、コンデンサC2への蓄積後に再初期化を行い、この再初期化から所定時間後にコンデンサC1への蓄積を行っている。

【0046】2回目の初期化動作を行わない場合、光照射直前における光センサPDの端子電圧が、コンデンサC2に取り込まれた基準電圧と異なる場合がある。これらの電圧差は補正信号OUTの誤差となって現れる。従って、コンデンサC2の充電後に光照射前に光センサPDを再度初期化しておけば、この様な原因による補正信号OUTの誤差を排除することができる。

【0047】本実施の形態によれば、基準電圧の取り込み前に1回目の初期化動作を行うとともに、光センサPDへの光照射前に2回目の初期化動作を行って、光電変換サイクル内で2回初期化することにより、より正確な受光光量を検出することができる。

【0048】実施の形態3. 実施の形態1、2では、初

(6)

9

期化電圧  $V_b$  を印加して光センサ PD を初期化する場合の例について説明したが、本実施の形態では、電源電圧  $V_{dd}$  を印加して光センサ PD を初期化する場合について説明する。

【0049】図8は、本発明の実施の形態3による光電変換装置の要部の一構成例を示した図である。図中の光電変換回路11は、伝達回路としてNchトランジスタTR1a、TR2aを用い、さらに、初期化スイッチSW1を介して光センサPDに電源電圧  $V_{dd}$  を印可する点で、図1の光電変換回路10と異なる。なお、光電変換装置全体の構成は、図3と同様である。

【0050】光センサPDの一端（カソード）は、SW1を介して電源電圧  $V_{dd}$  に接続されるとともに、トランジスタTR1aのゲート電極に接続されている。光センサPDの初期化は、スイッチSW1をオン状態にして、電源電圧  $V_{dd}$  を印加することにより行われる。

【0051】トランジスタTR1aのソース電極は、トランジスタTR2aのドレイン電極に接続される。トランジスタTR2aのゲート電極には、図2に示したバイアス電圧発生器VBが接続され、バイアス電圧  $V_b$  が印加されている。トランジスタTR1a及びTR2aによりソースフォロア回路が構成され、トランジスタTR1aのゲート電圧に相当する電圧が、トランジスタTR1aのソース電極に現れる。トランジスタTR1aのソース電圧は、スイッチSW2、SW3を介して、それぞれコンデンサC1、C2に接続されている。すなわち、トランジスタTR1a、TR2aにより伝達回路を構成している。

【0052】図9は、図8の光電変換装置の動作の一例を示したタイミングチャートである。初期化電圧が  $V_{dd}$  である点を除き、図7の動作と全く同様である。

【0053】本実施の形態では、トランジスタTR1aにNchトランジスタを使用して、光センサPDの初期化電圧として電源電圧  $V_{dd}$  を使用している。光センサPDがフォトダイオードの場合、印加電圧が高いほど空乏層が広がり、光照射によって誘起される電流が増える。このため、同一の光センサPDを用いる場合であっても、電源電圧  $V_{dd}$  を初期化電圧とすることにより、分圧電圧  $V_b$  を印加する場合に比べ、その感度を向上させることができる。

【0054】また、電源電圧  $V_{dd}$  は、バイアス電圧発生器VBのバラツキの影響を受けないため、バイアス電圧  $V_b$  に比べてバラツキにくい。つまり、初期化電圧がばらつかず、精度を向上させることができる。さらに、トランジスタTR1aがソースフォロア回路であるため、トランジスタTR2aのバイアス電圧  $V_b$  が変動したとしても、トランジスタTR1aの出力電圧（ソース電圧）はほとんど影響を受けない。従って、本実施の形態によれば、光電変換装置を高感度化するとともに高精度化することができる。

10

【0055】実施の形態4、実施の形態1から3では、2つの出力回路20、21を備える場合の例について説明したが、本実施の形態では、センサ信号及び基準信号に関し、1つの出力回路を共用する場合について説明する。

【0056】図10は、本発明の実施の形態3による光電変換装置の要部の一構成例を示した図である。ここでは、光電伝変換回路11からのセンサ信号及び基準信号が、共通線を介して同一の出力回路20へ入力され、スイッチSW4、SW5は同時にオン状態とならない様に制御される。

【0057】図11は、本発明の実施の形態3による光電変換装置全体の一構成例を示した図である。出力回路20の出力信号は、差分演算されることなく、A/D変換回路4を介して、マイコン5に入力されている。

【0058】図12は、図10の光電変換装置の動作の一例を示したタイミングチャートである。スイッチSW4、スイッチSW5の動作タイミングがずれている点で、図9のタイミングチャートと異なる。シフトレジスタ6は、各光電変換回路11間で、あるいはセンサ信号、基準信号間で共通線上の信号が衝突しない様、各光電変換回路11のスイッチSW4、SW5を制御している。すなわち、共通線を時分割で共用している。マイコン5には、A/D変換されたセンサ信号及び基準信号が順次に入力されており、マイコン5が、両信号の差分演算を行って補正信号を求めている。

【0059】実施の形態1から3では、センサ信号及び基準信号ごとに、異なる出力回路20、21を用いていた。これらの出力回路にオフセットバラツキ等があった場合、そのバラツキは補正信号の誤差となって現れる。特に、出力回路20、21として、個別の半導体（別チップ）を使用する場合には、チップ間のバラツキの影響が大きくなる。本実施の形態によれば、センサ信号及び基準信号に関し、同一の出力回路3を用いているので、出力回路のバラツキ、特にチップ間でのバラツキを抑制することができる。

【0060】実施の形態5、実施の形態1から4では、コンデンサC1、C2の保持するセンサ信号、基準信号をPchトランジスタTR5、TR6のカレントミラーアウトとして出力回路20、21へ伝達する場合の例について説明した。本実施の形態では、NchトランジスタTR5a、TR6aのソースフォロア回路により出力する場合について説明する。

【0061】図13は、本発明の実施の形態5による光電変換装置の要部の一構成例を示した図である。なお、光電変換装置全体の構成は、図3と同様である。NchトランジスタTR5aはドレイン電極に電源電圧  $V_{dd}$  が印加されたソースフォロア回路であり、ゲート電極に入力されるコンデンサC1のセンサ信号に相当する電圧がソース電極に現れる。このソース電極は、スイッチS

(7)

11

W<sub>4</sub>を介して出力回路20aに接続される。出力回路20aは、バッファ回路BUF1からなり、入力されたセンサ信号を増幅して出力する。

【0062】全く同様にして、コンデンサC2の保持する基準信号もトランジスタTR6a、スイッチSW5を介して、バッファ回路BUF2からなる出力回路21aに入力される。

【0063】本実施の形態によれば、NchトランジスタTR5a、TR6aのソースフォロア回路を用いて、コンデンサC1、C2に保持されたセンサ信号、基準信号を出力回路20a、21aへ伝達することにより、回路構成を簡略化することができる。

【0064】また、センサ信号と基準信号は、コンデンサC1、C2から差動回路4に至るまで別個の経路を経て伝達されている。このため、途中のトランジスタ等の特性にバラツキがあれば、このバラツキが補正信号の誤差となって現れる。本実施の形態では、この回路構成を簡略化することにより、このバラツキの影響を抑制して、より正確な受光光量を検出することができる。

【0065】実施の形態6、実施の形態3から5では、トランジスタTR1a、TR2aで構成されるソースフォロア回路に常に電流が流れている場合の例について説明したが、本実施の形態では、コンデンサC1、C2の非蓄積時に、トランジスタTR1aをオフして電流消費を低減する場合について説明する。

【0066】図14は、本発明の実施の形態6による光電変換装置の要部の一構成例を示した図であり、図8のバイアス電圧発生器VBの他の構成例が示されている。このバイアス電圧発生器VBは、電源電圧Vddよりも低電圧を生成する分圧回路であり、制御信号Sにより出力電圧を制御可能に構成されている。

【0067】このバイアス電圧発生器VBは、PchトランジスタTRxと、ダイオード接続されたNchトランジスタTRyとが、電源電圧Vdd、グランド間に直列に接続され、この接続点の電圧Voが outputされる。トランジスタTRxのゲート電極には、シフトレジスタ6からの制御信号SがインバータINVを介して入力される。

【0068】制御信号Sが低レベルの場合、トランジスタTRxに十分なバイアス電圧が印加されてオン状態となり、出力電圧Voは、ともにオン状態のトランジスタTRx、TRyの分圧比により求められる所定電圧Vbとなる。この時、トランジスタTRx、TRyには貫通電流が流れている。一方、制御信号Sが高レベルの場合、トランジスタTRxはバイアス電圧が不足してオフ状態となり、出力電圧Voは、ほぼグランドレベル(接地電位)となる。この時、貫通電流は流れない。

【0069】図8のトランジスタTR2aは、ゲート電極に電圧Vbが印加されるとオン状態となり、この時、トランジスタTR1a、TR1bに貫通電流が流れれる。

12

一方、トランジスタTR2aのゲート電極にグランドレベルが印加されるとオフ状態となり、トランジスタTR1a、TR1bには貫通電流が流れない。

【0070】つまり、制御信号Sが低レベルの場合は、図2のバイアス電圧発生器VBと全く同様に動作する一方、制御信号Sが高レベルの場合には、バイアス電圧VBを供給することなく、バイアス電圧発生器VB内の貫通電流及びトランジスタTR1a及びTR2aの貫通電流を抑制する。

【0071】図15は、本実施の形態6による光電変換装置の動作の一例を示したタイミングチャートである。光センサPDの端子電圧をコンデンサC1、C2に格納する場合には、バイアス電圧発生器VBの制御信号Sを低レベルとし、トランジスタTR1a、TR2aをオンさせて伝達回路として機能させている。そして、それ以外の場合(例えば、光照射期間や初期化期間)には、制御信号Sを高レベルとし貫通電流を抑制している。

【0072】本実施の形態によれば、バイアス電圧発生器VBの出力電圧を制御し、トランジスタTR2aをオン、オフ制御することができる。このため、光センサPDの端子電圧を読み出している場合に伝達回路TR1a、TR2aの機能を停止させ、消費電流を抑制することができる。

【0073】

【発明の効果】本発明による光電変換装置は、同一の光センサについて、初期化後の基準信号と光照射後のセンサ信号を検出し、基準信号に基づきセンサ信号を補正することにより、光電変換回路のバラツキを補正し、正確な受光光量を検出することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1による光電変換装置の要部の一構成例を示した回路図である。

【図2】 図1のバイアス電圧発生器VBの一構成例を示した回路図である。

【図3】 本発明の実施の形態1による光電変換装置全体の一構成例を示したブロック図である。

【図4】 図1の光電変換装置の動作の一例を示したタイミングチャートである

【図5】 各光電変換回路10の光センサPDが同一光量を受光した場合における各光電変換回路10(ピット)ごとのセンサ信号SIG、基準信号RS及び補正信号OUTの一例を示した説明図である。

【図6】 この光電変換装置を半導体装置(半導体チップ)として構成した場合のレイアウトの一例を示した概略図である。

【図7】 本発明の実施の形態2による光電変換装置の動作の一例を示したタイミングチャートである。

【図8】 本発明の実施の形態3による光電変換装置の要部の一構成例を示した回路図である。

【図9】 図8の光電変換装置の動作の一例を示したタ

(8)

13

タイミングチャートである。

【図10】 本発明の実施の形態3による光電変換装置の要部の一構成例を示した回路図である。

【図11】 本発明の実施の形態3による光電変換装置全体の一構成例を示した図である。

【図12】 図10の光電変換装置の動作の一例を示したタイミングチャートである。

【図13】 本発明の実施の形態5による光電変換装置の要部の一構成例を示した回路図である。

【図14】 本発明の実施の形態6による光電変換装置の要部の一構成例を示した回路図である。

【図15】 本実施の形態6による光電変換装置の動作の一例を示したタイミングチャートである。

【図16】 従来の光電変換装置の構成を示した図である。

【符号の説明】

14

VB バイアス電圧発生器

PD 光センサ

SW1～SW7 スイッチ

TR1～TR10、TR1a、TR2a、TR5a、TR6a トランジスタ

C1～C2 コンデンサ

BUF1～BUF2 バッファ回路

R1～R4 抵抗

10、11 光電変換回路

10B ビット回路

20、20a、21、21a 出力回路

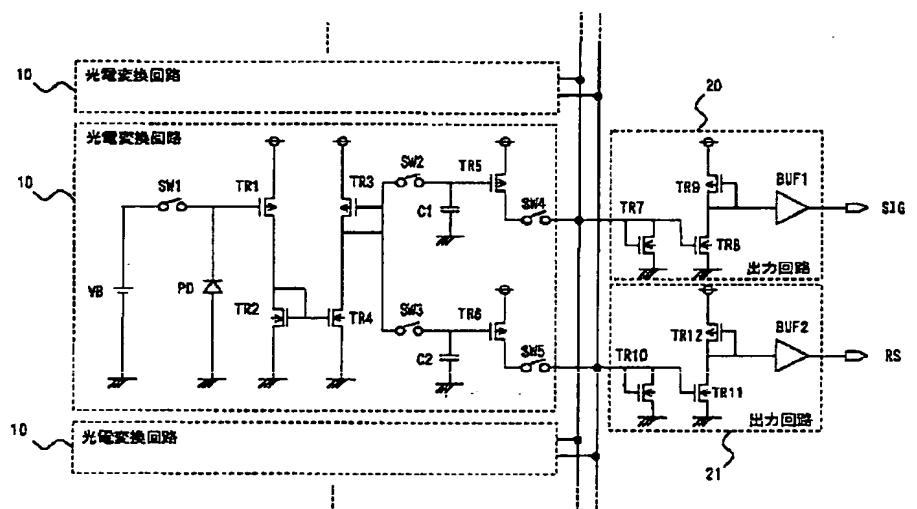
3 差動回路

4 A/D変換回路

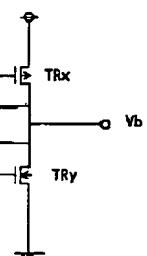
5 マイコン

6 シフトレジスタ

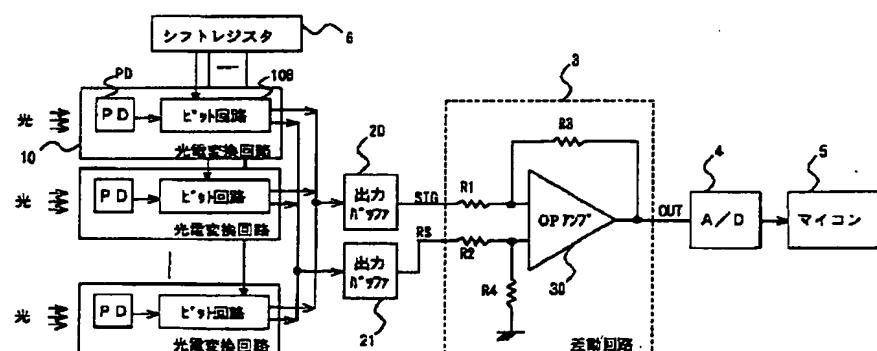
【図1】



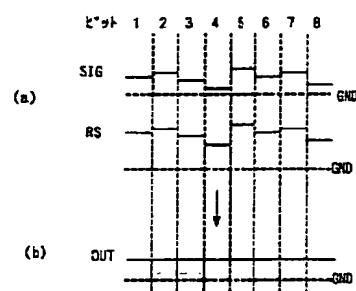
【図2】



【図3】

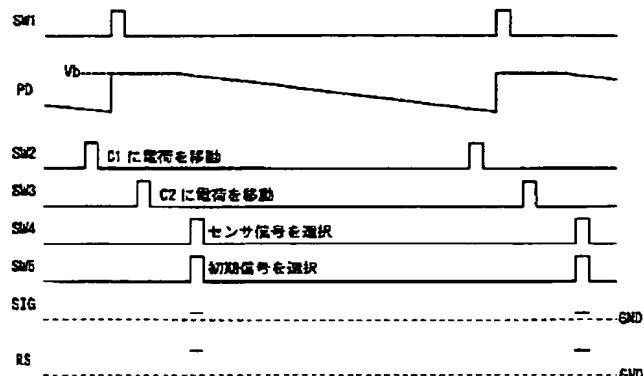


【図5】

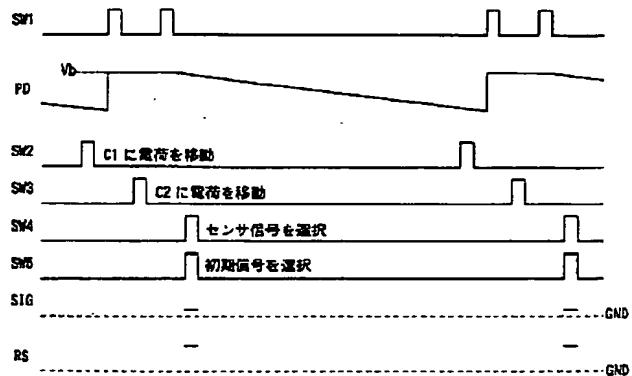


(9)

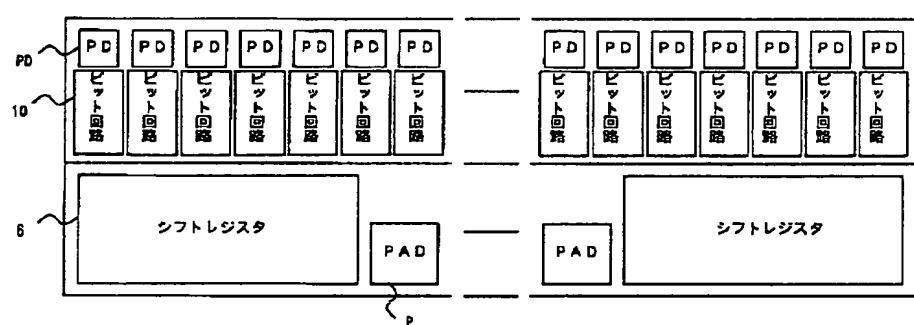
【図 4】



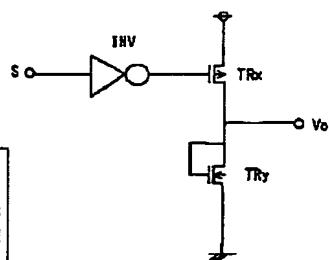
【図 7】



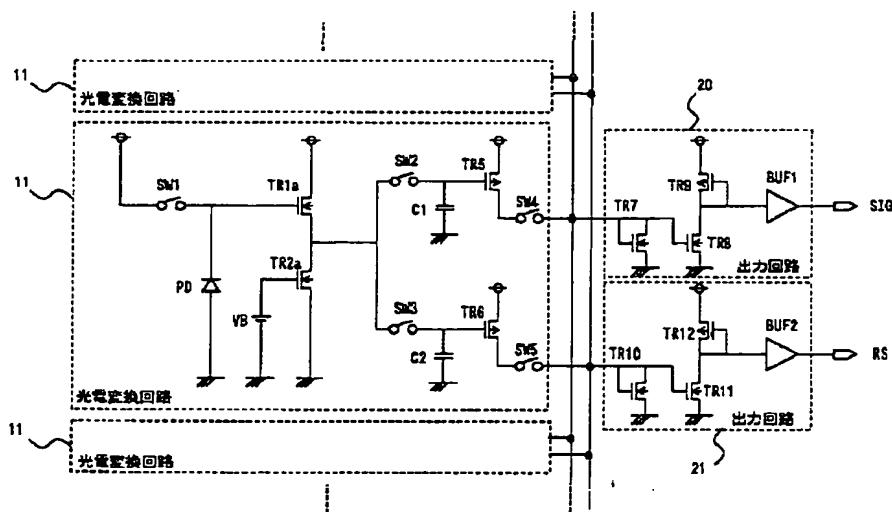
【図 6】



【図 14】

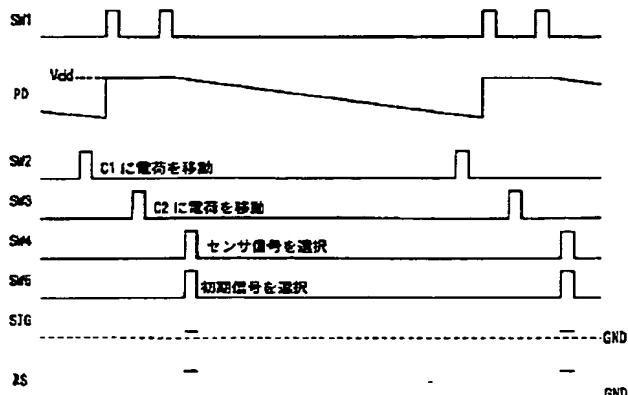


【図 8】

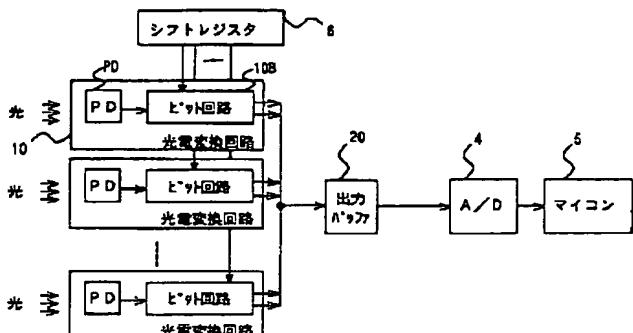


(10)

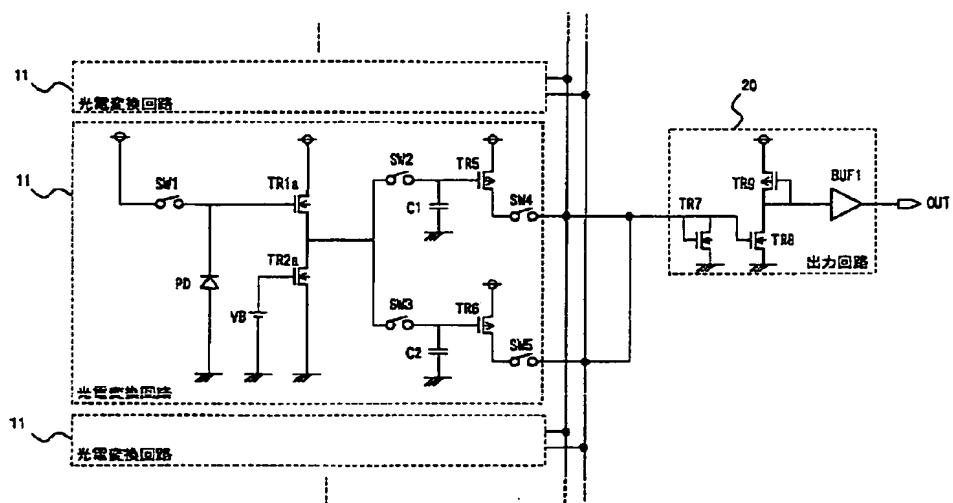
【图9】



【図11】

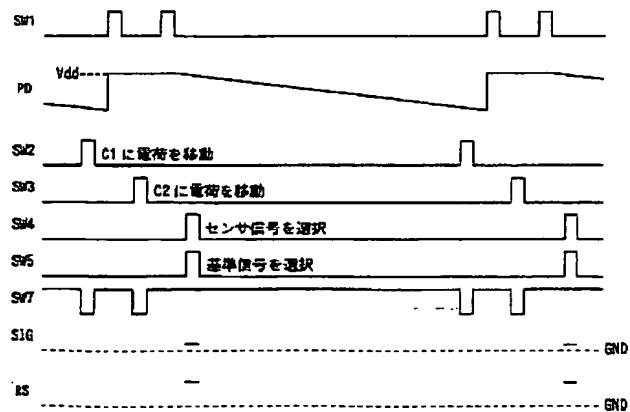
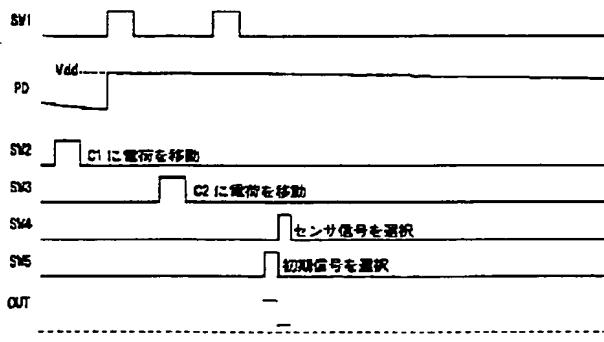


[图 10]



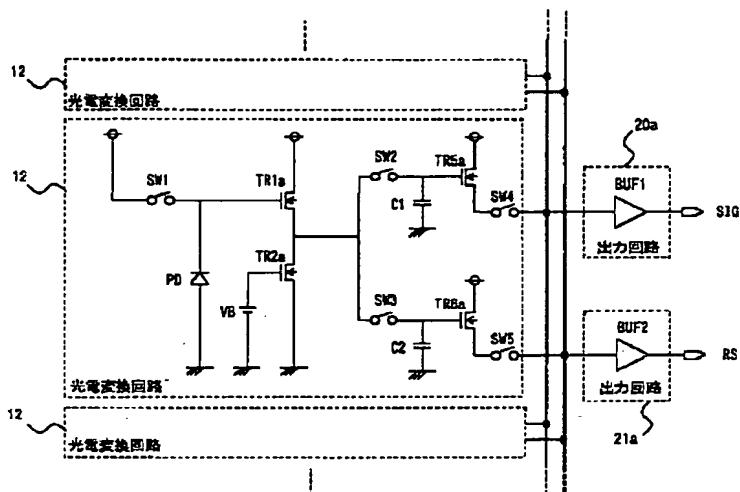
### 【図 1-2】

【図15】

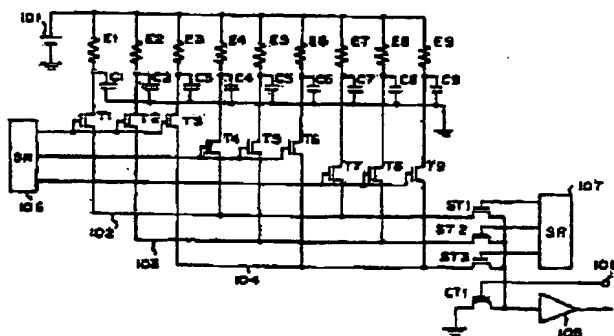


(11)

【図13】



【図16】



フロントページの続き

F ターム(参考) 4M118 AA06 AB01 BA14 CA02 FA06  
 FA38 FA42  
 5C024 AX01 CX27 GX03 GY31 HX13  
 HX29  
 5C051 AA01 BA03 DA03 DB01 DB08  
 DB12 DB14 DB16 DB18 DC02  
 DC03 DC07 DE02 EA00  
 5F049 MA01 NB03 UA11 UA17 UA20